

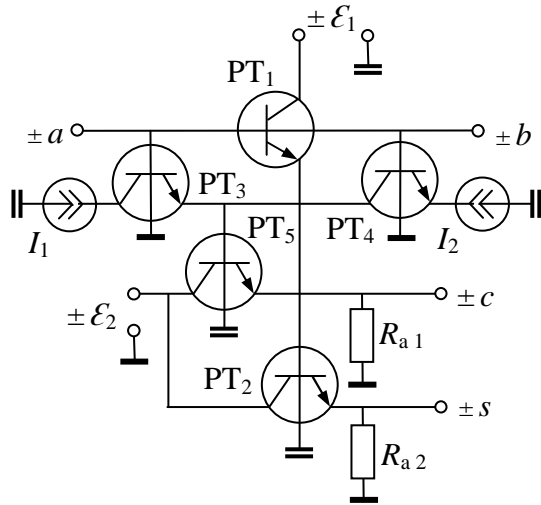
Puslaidininkinio tetrodo taikymas sparčiosiose skaitmeninėse schemose

Semiconductor tetrode application in high-speed digital circuits

Česlovas Pavasaris

Vilniaus universitetas, Fizikos fakultetas, Radiofizikos katedra, Saulėtekio al. 9, LT-10222 Vilnius
ceslovas.pavasaris@ff.vu.lt

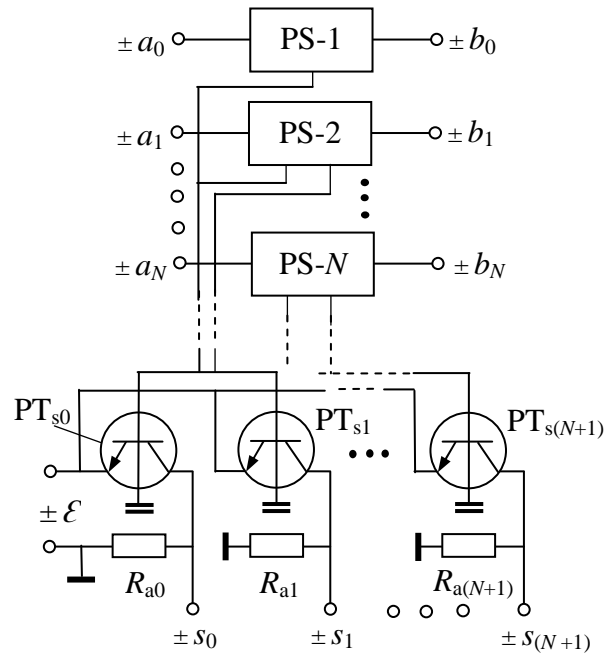
Puslaidininkinis tetrodas (PT) pasižymi visa eile savybių [1], leidžiančių jį taikyti įvairios paskirties elektroniniuose įtaisuose [2], tame tarpe skaitmeninių elementų schemose. 1 pav. parodyta „pusiau sumatoriaus“ (PS) schema su PT [3], atliekančios dviejų bitų „a“-{0; 1} ir „b“-{0; 1} sumos „c“ = „a“ + „b“ operaciją, čia „c“-{0; 1}.



1 pav. PS – „pusiau sumatoriaus“ principinė schema su PT

PS sumos išėjime $c = „0“$ – loginis nulis, kai $a = b = „1“$ – loginis vienetas. Todėl PS turi papildomo (keliamojo) bito „s“-{0; 1} pernašos išėjimą s . 1 pav. parodyta PS schema turi dvi galvaniskai išrištas „žemes“ – \perp ir $\underline{\perp}$, ir tai padidina PS funkcines galimybes: veikia su bet kokio poliškumo įėjimuose a ir b vieno bito skaitmeniniais signalais „a“-{0; ±1} ir „b“-{0; ±1}; apkrovoje R_{a1} – pusiau sumos išėjime c gali formuoti abiejų poliškumų ir bet kokios amplitudės išėjimo skaitmeninį signalą „c“-{0; ±1}; energiją naudojama tik esant loginiui „1“ viename iš įėjimų a arba b . PT_1 įjungimo srovė $I_{BBs1} < I_{BBs3,4}$ – atitinkamos $PT_{3,4}$ įjungimo srovės, tekančios tarp bazės išvadų $B_{1,2}$ atitinkamuose $PT_{1,3,4}$. PT_5 įjungimo srovė I_{BBs5} tenkina sąlygą: $I_0 < I_{BBs5} \leq 2 \cdot I_0$, čia I_0 – srovės šaltinių $I_{1,2}$ generuojamos srovės. Esant šioms sąlygoms, kai „a“ = „b“ = „1“, pusiau sumos išėjime c turime „c“ = „0“, o keliamojo bito pernašos išėjime s – „s“ = „1“. Visais kitais atvejais „s“ = „0“.

2 pav. parodyta pilnojo – daugiaskilčio dvejetainio kodo skaičių „a“ ir „b“ sumatoriaus blokinė schema su PT [4], atliekančios N skilčių dviejų skaitmeninių signalų „a“-{N;...; 0} ir „b“-{N;...; 0} pilnosios sumos



2 pav. Pilnojo – daugiaskilčio (0–N) sudedamųjų skaičių „a“-{N;...; 0} ir „b“-{N;...; 0} sumatoriaus blokinė schema su PT

„s“ = „a“ + „b“ operaciją, čia „s“-{(N + 1);...; 0}. Šis sumatorius turi N PS, kuriuose, pradedant PS-2, padaryti du keliamųjų bitų išėjimai, sujungti atitinkamu algoritmu su galutinių $PT_{s\{0-(N+1)\}}$ bazių pirmaisiais išvadais B_1 , kurių antrieji išvadai B_2 sujungti su galvaniskai išrišta antrąja „žeme“ $\underline{\perp}$. $PT_{s\{0-(N+1)\}}$ atitinkamos apkrovose $R_{a\{0-(N+1)\}}$ turime pilnosios sumos „s“ atitinkamų skilčių išėjimus $s_{\{0-(N+1)\}}$.

Čia pateiktos sumatorių schemas su PT pasižymi paprastumu, bei mažesnių elementų skaičiumi, palyginus su tranzistorinėmis schemomis. Taip pat PT taikymas garantuoja sumatorių veikos didelę spartą – ventilio delsos laikas $t_d \leq 1$ ns.

Reikšminiai žodžiai: puslaidininkinis tetrodas, dvejetainio kodo skaičių sumatoriai, skaitmeninė impulsinė sparčioji elektronika

Literatūra

- [1] Павасарис Ч. И. Изв. вузов МВ и ССО СССР. Радиоэлектроника. Киев, т. 29, No 9, с. 33-38 (1986).
- [2] Pavasaris Č. 41-oji LNFK. Vilnius, p.p.204, 205 (2015).
- [3] А. С. 1676370 (СССР). Пол. реш. от 20.06.1990.
- [4] А. С. 1671038 (СССР). Пол. реш. от 30.07.1990.